DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011212463 Image available

WPLAce No: 1997-190388 199717

Related WPLAcc No: 1997-190387; 1997-233573; 1997-287100; 2000-288763; 2000-288764

XRAM Acc No: C97-060858

XRPX Acc No: N97-157388

Semiconductor device, e.g. TFT, mfg, method - involves heating impurity diffused areas by rapid thermal annealing at particular temp, which is

gradually increased

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K: MORIMOTO Y: SOTANI N: YAMAJI T: YONEDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No. Kind Date Applicat No Kind Date Week JP 9051100 19970218 JP 95199982 Λ Α 19950804 199717 B A 19970224 KR 9626820 KR 97008658 Α 19960703 199812 US 5771110 Λ 10080623 118 96677424 Α 19960702 199832

Priority Applications (No Type Date): JP 95199982 A 19950804; JP 95167513 A 19950703; JP 95199979 A 19950804; JP 95199980 A 19950804; JP 95199981 A 19950804

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 9051100 A 10 H01L-029 786

KR 97008658 A H011.-029/78

US 5771110 A 11011.-029 786

Abstract (Basic): JP 9051100 A

The method involves laying a polycrystalline Si film (4) on a substrate (1) over which a first polycrystalline Si film (2) is provided. A gate electrode (6) is formed through a gate insulating film (5) over the first polycrystalline Si film. Impurity diffused areas (9) in the second polycrystalline Si film act as source drain for it. The impurity diffused areas are activated by (rapid thermal amealing (RLA) method for nearly about 6 times, in which heat at particular temperature is applied initially and then raised gradually fill the end.

ADVANTAGE - Avoids formation of curvature in substrate. Prevents substrate from being damaged due to heat treatment by RTA method.

Dwg.3-17

Title Terms: SEMICONDUCTOR: DEMICE: HEE MANUFACTURE: METHOD: HEAL; IMPURE: DIFFUSION: AREA: RAPID: HIERMAL: ANNIAL: HAMPERATURE: (APMICAE) NO 186 (BL) AND 187 (BL)

特開平9-51100

(43)公開日 平成9年(1997)2月18日

技術表示箇所

(51) Int.CL6

微別記号

庁内整理番号

FΙ

HO1L 29/786 21/336 H01L 29/78

616L

627F

審査請求 未請求 請求項の数2 〇L (全10 頁)

(21) 出脚番号

特爾平7-199982

(22)出願日

平成7年(1995)8月4日

(71)出職人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 曽谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

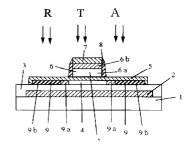
(74)代理人 弁理士 岡田 敬 最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 熱処理にRTA法を用いた場合における基板 の反りや破損を防止すること。

【解決手段】 ガラス基板 1 上に多結晶 5 i 膜 4 を形成 し、この多結品Si膜2の上に、ゲート絶縁膜5を介し てゲート電極6を形成し、多結品5 主膜4に、ソース ドレイン領域9となる不維物領域を形成し、この不維物 領域をRTA法により熱処理して活性化する。そして、 このRTAによる熱加熱は6回を1単位として行うとと もに、加熱温度を初回から最終回にかけて段階的に上昇 させる。



【特許請求の範囲】

【請求項 1 】 基板上に半導体基子を形成する過程の熱 処理にRTA法 (Rapid Thermal Annealing)を用いる ものにおいて、前起RTAによる熱加熱を複数向と1 単 位として行うとともに、加熱温度を初回から最終回にか けて段階的に上昇させることを特像とした半導体装置の 製造方法。

【請求項2】 基板上に半導体膜を形成する工程と、この半導体膜の上に、ゲート機様態を形成する工程と、前記生導体膜に不軽勢的域を形成する工程と、前記生導体膜に不軽勢的域を形成する工程と、の不軽勢動域を下下A近により禁処理して所性でする工程とを備え、前記RTAによる終加禁を複数向を1単位として行うとともに、加熱温度を初回から最終向にかけて段階的に上昇させることを特徴とした半導体支援の製造方法。

【発明の詳細な説明】

[0001]

【作明の属する技術分野】本発明は、薄膜トランジスタ (Thin Film Transistor) などの半導体装置の製造方法に 関する。

[0002]

【延来の技術】近年、アクティフマトリクス方式LCD の両準駆動用素子・画素駆動用トランジスタ)として、 透明地縁基板上に形成された多結晶シリコン膜を能動層 に用いた薄膜トランジスタ・以下、多結晶シリコンTF 下という)の開発が進められている。

【0003】多結品シリコンTドでは、非品質シリコン 限を能動解に用いた薄膜トランシスタに比べ、移動度が 大きて駆動能力が高いという利点がある。そのため、多 断品シリコンTドTを用いれば、高性能なLCDを実現 できる上に、両素部(表示部)たけでなく周辺駆動回路 (ドライバ部)までを同一集板上に一体に比成すること でできる。

【0004】このような多結品・リコンTFTにおいて、 値動例としての多結品・リコ、既の形成方法としては、 基板上に直接多結品・リコ、既の単成方法としては、 基板上に再結変を指記・リコ、既を維和させる方法等のある。このでも、 多端品・リコン膜を直接基板に堆積させる方法は、 何えば、 (VD法を用し、 高温下で堆積させるという比較的簡単な工程であった。

【0005】また、非品質シリコナ酸を堆積した後にこれを多結品化するには、固相成長法が一般的である。こ 上の理点に列出、此品質シリコ、壁に無偿単本行うこと 甲、温度900年程度で参処理を行うことにより、前記 乗品質シリコン数を個相成接させて多結品。リコン数5 2を形成する。前記多結品とリコン数52を薄数トラン ミスタの能動層として用いるため、フォトリコグラコ 表接名、R1E法によるドライエッチン 学技術により前 記多編品、リコン数52を所込色状に加まする。

【0007】前記多結品シリコン膜52の上に、減圧C VD法を用いて、ケート絶縁膜53としてのシリコン酸 在膜を維格する。

1程18 図17巻壁):前記ゲート絶縁膜531に、減 方でVD型により多結品シリコン膜を維養した後、この 多結品シリコン膜に不純物を注入し、更に熱処理を行っ て不純物を活性化させる。

【0008】次に、常圧CVD基により、この多結品シ りに1 腹の上にシリコン酸作腹も1 を堆積した後、フナトリッグラフス技術。R I 正述によるドライエッチング 技術を用いて、商記多結品シリコン酸及ひシリコン酸と 放らすを所定形域に加工する。商記多結品シリコン数は ケート電極ちもとして使用する。次に、自己整合技術に より、ケート電極ちも及びシリコン酸と殴ちすをマスク として、多結品シリコン膜ら2に不統約を作人し、ハー ス・ドイン/値数56を形成する。

【0009】最後に、更に熱処理を行って、ワース「ド 1 イン師威方のとしての「転動を活性化させる。このような方法は、関相成長や不無動落性化させる。このような方法は、関相成長や不無動落性化の動に9000世界 度の高い温度を使用することから、高種プロセスと呼ばれており、耐熱性の海に壊壊(個なば、石英基板)を用 した場合には、処理時間が短く済むという利点がある。 [0010] 一方では、基板に熱水かが生じる心配が成立、比較的安価なガラス基板を用いることのできる低低 プロセスを用いた間巻も踏んである。勢に、駆動デバイ ててある下ドでにおいては、高性能化が必須であり、こ のために、各プロセスを用いた下ドアの構成材料の高結 質化をはじめとする様々なアプローチがなされている。

【0011】例をは、デバイス特性を左右する不験物値 がい語性生態などして、1 ・サーイニ・生基本 RTA基 、一部に入れている。特は、RTA基は、700(以上の 総量を可いるへ、されめて無時間で終えることができる 、で毎、処理時間で発性を含むっことができる。

[0 0 1 2]

【発明が解決しようとする課題】に一ザーアニール法は、ビーム場合を何度も触り返して行うままがあるた。
、 5年化プロセスに時間かかがあたい。「関題かある。
、 6年化プロセスに時間かかがあたい。」以及に対して単

50 m (13

「御り換か銀油サイトセン下級」 将用工工、作業体実際に

[【]ロロロル】 北八 又1 6 2 円 土地区域域 6 2 3 と乗りさん 当1 htt. 通常の域・C V D 生を用いて非 2 例 ロー・サビエリー pt また た。 短伸に

and the state of t

製造方法にあっては、基板上に半導体素子を形成する過 程の熱処理にRTA法を用いるものにおいて、前記RT Aによる熱加熱を複数回を1単位として行うとともに、 加熱温度を初回から最終回にかけて段階的に上昇させる ‡,いてある。

【0015】また、請求項2の半導体装置の製造方法に あっては、基板上に半導体膜を胚成する1.程と、この半 導体膜の上に、ゲート絶縁膜を介してケート電極を形成 する工程と、前記半導体膜に不純物値域を形成する工程 と、この不純物領域をRTA法により祭処理して活性化 する工程とを備え、前記RTAによる熱加熱を複数回を 1 単位として行うとともに、加熱程度を初回から最終回 にかけて段階的に上昇させるものである。

[0016]

【発明の実施の形態】本発明を具体化した一実施形態を 図1乃至図10に従って説明する。

「程1 (図1参照):石英ガラスや無アリカリガラスな との基板 1 上に、スパッタ法を用いて、タングステンシ リサイド (WSi_A) 膜2 (膜厚1000A、但し50 ~2(10) Aの範囲で調整可能である)) を形成する。 スパッタ法では、Wシリサイドの合金ターケットを使用 する。Wシリサイド(WSi χ)の化学量論的組成はX=2であるが、合金ターゲットの組成はX>2に設定す る。これはWシリサイド膜2の組成がX=2に近いと、 その後の熱処理時に非常に大きな引っ張り応力が生じ、 Wンリサイド膜2にクラックが発生したり、判離したり する恐れがあるためである。但し、Wシリサイドの抵抗 値はX=2の場合に最も低くなるため、クラックや剥離 が生じない程度にXの上限を設定する必要がある。

【0 0 1 7】 1程2 (図2参照) : 前記Wシリサイド膜 こを、リワグラフィ技術、エッチング技術を用いて、後 沢オストランジスタの能動層としての多結晶シリコンと 同じパターンに加工する。

(限3 (図3参照):前記基板 L及びWシリサイド膜2 も覆らように、トト(いやトトNなED)絶縁性薄膜3を いり払やスペック法などにより形成する。具体的に 現板1として無アルカコカーはを使用し、それ表面 上に常圧又は減圧(VD法により、形成温度350℃ こ、腹厚3000~5000Aから主の2膜を止成す

【0018】この5 i O2膜の膜厚は、皮!程の勢処理 ウビーム照射などで基板1中の下純約かこの5j()g膜 を通過して上層・拡散しない程度の厚みが必要で、10 TO DO IN THE PROPERTY OF THE P

【0 0 1 9】 1程 4(図 4 参照):前記絶縁性薄膜 3 の 上に、非品質シリコン膜引 3 (膜厚500人) を形成す る。この非品質シリコン膜 4 a をTFTの能動層として 用いた場合、この能動解が厚すぎると、多點品シリコン TFTのオフ電流が増大し、薄すぎるとオン電流が減少

せるため、このときの非品質シリコン膜1aの膜厚は、 400~800Aの範囲が適切で、500~700Aに したときに特性が良好で、その中でも500~600A の場合がもっとも適している。

【ロロ20】前記非品質シリコン膜4aの形成方法には 以下のものがある。

口減圧CVDを用いる方法:減圧CVD法でシリコン膜 を形成するには、モフェラン (5 j H4) 又はジシラン (Siglia) の熱分解を用いる。モノシランを用いた場

合、処理温度が550で以下では非品質、620で以上 では多結晶となる。そして、550~620℃では微結 品を含む非晶質が多くなり、温度か低くなるほど非品質 に近ついて微結品が少なくなる。従って、温度条件を変 えるだけで、非品質シリコン膜4a中の微結品の量を調 救することができる。

【0021】 セプラスマCVD法を用いる方法:プラズ マにVD法で共品質ショコン膜を肝成するには、プラズ マロでのモノンランまたはシンランの熱分解を用いる。 実際の工程では、前記130万法を採用し、使用ガス:モ 1」ラン、温度:350℃の条件で、微結晶を含まない 非品質ミリコン膜を形成している。

L程5 (図5参照) : 前記非品質シリコン膜 1 a の表面 に被長 $\lambda = 2.48$ nmのK r F エキシマレーザービーム を走在してアニール処理を行い、非品質シリコン膜4a を辞職刊結晶化して、多結晶シリコン薄膜 4 を形成す

【ロロ22】この時のレーザー条件は、アニール雰囲 な:1・10 コPa以下、基板温度:室温~600℃、 理財よるリギー密度: 100~500mJ cm2. 走 高速度、1~10mm ちゃく 定際には、0、1~1 ロロドゥートラッとの範囲の速度で走査可能にである。前 idle - サービ・ムとしては、放長:=303nmのXe こしてようでも、一性一を使用してもよい。 この時代は 一 ザー条件は、アニーリ雰囲気:1 < 1 0 ⁻⁴ P a 以上、基 板温度;室温~600℃、興射エネリギー密度;100 ~500mJ cm2、走在速度:1~10mm se 、(実際には、0.1~100mm 、cさの範囲の速 ne-1 4: (ffs) -1 5 3

10 - 14 /5

は、1000~5000人の確認・強い、でのの~ 5.0.0.0.Aにしたときに拡散集員可果が投好で、その。第二 and the second second second

- Harry at an analytical 現場とされたま 一窓度及び照射回数に比例して、多結品シリコンの粉音 は力きくなるので、所望の大きさの粒径が得られるよう に、エネリギー密度を調整すればよい。

【0024】本実施例では、このエキシマレーザーアニ 一 りに、高スルーフットレーザー照射法を用いる。即 た、図14において、101はKrFエキシマレーザ ー、102はこのレーザー101からのレーザービーム を反射する反射鏡、103は反射鏡102からのレーザ ビームを所定の状態に加工し、基板1に照射する1-ザーヒーム制御光学系である。

【0025】このような構成において、高スルーブット しーザー照射法とは、レーザーヒーム制御光学系103 によってシート税 (150mm×0.5mm) に加工さ れたレーザービームを、複数バルスの重ね合わせにより 無射する方法で、ステージ走査とバルスレーザ無射を完 全に同期させ、きわめて高精度な重複でレーザーを照射 することによりスリーブットを高めるものである。

【0.026】 1程6(図6参照):前記多結晶シリコン 膜4を薄膜トランジスタの能動層として用いるために、 コナトリソグラフィ技術、RIE法によるドライエッチ プ技術により前記多結晶シリコン膜 4 を所定形状に加 丁する。そして、前記多結品シリコン膜1の上に、ロー ドロック式減圧CVD装置を用いた減圧CVD法によ ロ、ゲート絶縁膜としてのしTO膜 Low Temperature Octde:シリコン酸化膜) 5 (膜厚1000A) を形成 する。

【0027】工程7 (図7参照) : 前記ゲート絶縁膜5 の上に、減圧CVD法により非晶質シリコン膜(膜厚で は、その形成時に不純物(N型ならヒ素やリン、P型な らポロン) がドープされているが、ノンドープ状態で堆 晴し、その後に不純物を注入してもよい。次に、スハッ 々法を用い、前記非品質シリコン膜 6 aの上にタングス テンシリサイド (WSiҳ) 膜6b (膜厚1000A) を形成する。

【0.028】そして、常用にVD法により、側記Wンリ ニイト膜ももかしにより口、酸化酸でを堆積した後、コ x トロログラフィ技術、R I E 法によるドライエッチン ^り技術を用いて、前記多結晶シリコン膜 6 a、Wシリサ ィド膜6 b及びシリコン酸化膜7を所定形状に加工す。 る。前記非品質シリコン膜6ヵは、前記Wシリサイド膜 6 いとともにオリサイド構造のケート軍権6として使用 する。

programme all and in making a

× 1 () 13 c m⁻²の条件で、リン(P)イオンを下純物と して庁人し、低濃度の不純物領域9aを形成する。

【0 0 3 0】 1程9 (図 9巻網) :前記サイドウォール 8及ひにリコン酸化膜でをレシスト10で覆い、再び自 **己整合技術により、レシストーロをマスととして多結晶** シリコン膜4に、加速電圧:80KeV、ドーズ量1・ 1 o lic m-2の条件で、リンコP) イオンを不硬物とし て注入し、高濃度の不顧物値減分しを形成することによ り、1.DD (lightly Doped Drain) 構造のワース「ド 1.イン値域 9.を形成する。

【0.031】工程10(図10参照):この状態で、R TA (Rapid Thermal Annealing) 法による急速加熱を 行う。即も、図15において、105はシート状のアニ ール光を発する光顔であり、キセノン(Xで)アークラ ンプ106とそれを包む反射競107を1組として、こ れを上下に相対向させることにより構成している。 1 0 8、108は基板1を搬送するためのローラー、109 は予熱用のプリヒーター、110は加熱後の基板が急激 に冷却されてひび割れしないようにするための補助ヒー ターである。

【0032】 このような構成において、基板 1 をプリヒ ーター106で子禁した後、シート状のアニール光顔1 () 5 を通して、熱処理する。本実施所態でのRTAは、 翠素 (No) 雰囲気中で、加熱を6回に分けて行い、各 回ごとの処理温度が段階的に上昇するように設定してい る。即ち、初回 (1回目) : 100℃ (ハイロメータ、 以下同じ)→2回日:500€→3回日:550€→4 回目:600℃→5回目:650℃→最終回(6回 付):700でとし、徐々に温度を上げることにより、 基板上が反ったり破損したりすることのないようにして いる。各回の処理時間は1~3秒である。

【0033】温度の調整は、初回は前記Neアークラン プ106を点灯せず、プリヒータ109の熱を用い、2 [6][]以降は、Xェアークランフ106のハワーを1KW ~7KWの範囲で要えることによりC っている。尚、最 密回心想度は7000としたか、100~9501であ ればよい、前部又立アーパラ、7つ分類は、多結局部上 おも非品質温や、リザイト部に短三吸収されるため、心 更な悪行のみを重点的に原熱することも可能になり、

(ゲート) 配線の低抵抗化や下純物の活性化に適してい る。また、夜迷するようにWJリサイト概念を用いた加 熱も存功に行っことができる。

【0.0 3 4】そって、この急速加熱により、前記 ルース 生」、、新城市、生土維助人活性なサストをもに前記其

1) 人名里兰人姓氏克尔 安然,她不定在他们 然上 马 The state of the s

^{1 10} 、変力に対するです。こうを他談がる。そこで、自己整 A 担格により、サイト・ケィーも y をいくりとなて、多い。 $1 = 2 \frac{1}{2} \left(\frac{1}{2} \right) \right)$

用いられる拡散炉による高温熱処理と同等のものとな

【0035】特に、本実施例では、多結品シリコン膜4 に対応して、その下方にWシリサイド膜2を形成してい る。このWシリサイド膜では、RTAの熱を吸収する作 用があり、熱を吸収したWシリサイド膜2からの放射熱 によっても前記多結品シリコン膜1の下純物の活性化が 行われる。即ち、多結品シリコン膜4を、Xェアークラ 、プロよる熱とWシリサイド膜2からの放射熱とによ

11、直接及び間接的に加熱することにより、多結品>リ コン膜4全体を均一に加熱し、活性化がバラツクことな 三良好に行われるようにする。

【0036】Wシリサイド膜2の大きさは、基本的に、 多結品シリコン膜4と同じか又はそれ以上であればよい が、面内でのパターンの大きさに対応した面積となるよ らに調整すれば、なお好ましい。即ち、集積化半導体デ パイスでは、パターンの疎紀が基板上に発生するため、 各トランジスタに均等にWシリサイド膜2を設けたので は、場所によって単位面積当りの熱吸収率が異なり、均 ·な類処理が行えず、また、Wシリサイド膜2が集中す る場所での温度が非常に高くなって基板1が変形する場

合かある。 【0037】そこで、下層に配置した熱吸収膜の単位面 積当りの密度を、その上層に形成されるパターンに係わ らずほぼ一定となるようにすれば、RTAで活性化する 上きい温度分布の偏りを解消することがてきる。具体的 にドライバー 一体型のLCDハネルでは、ドライバ部に 比べて画素部のトランジスタの密度が高いので、ドライ バ部のトランジスタに対応するWシリサイド膜2の大き さを、画素部のそれに比べて大きくしてやることで、基 板上全体の温度分布がほぼ均一になる。

【11038】LCDパネルにあっては、回路の面積の約 1.0 生がWシリサイド膜2となるように調整することが 好ましい。この工程により、多結品シリコンTFT(T FT: Inio I: Im Transistor) (A) が形成される。次 に、上記のように製造された多層品とリコンTFT

A. を両よ駆動を計として用いた透過型構成をとる1. (上)の画素部の構成を図11に基づして説明する。

【0 0 3 9】 工程 1 : 層間絶縁膜 1 1 の形成に先立ち、 八、、タ法により、前記基板1の両素部値域上に1TO (Indium Tin Oxide) からなる補助容量の蓄積電極12 を形成する。

上程2:デバイスの自由に地縁膜13を圧成する。絶縁 plant of a second of the second ーニングして表示電極15を形成する。

上程3:多結晶ンリコンTFT(A)が形成された透明 絶縁基板1上、表面に共通電極16が形成された透明絶 縁基板17とを相対向させ、各基板1、17の間に液品 を封入して液晶層18を形成する。その結果、L(Dの 画本部が定成する。

【0041】次に、国12に本実施例におけるアクティ フマトロケス方式L(Dのフロック構成図を示す。画奏 部19には各走査線(ゲート配線)G1···Gn Gn+1···G m.トスデータ線 (ドレイン配線)D1 ···Dn Dn:1 ···Dmと が衝置されている。各ゲート配線と各ドレイン配線とは それぞれ直交し、その直交部分に画素とロが設けられて いる。そして、各ケート配線は、ゲートドライハ21に 接続され、ケート信号 (走査信号) が印加されるように なっている。また、各ドレイン配線は、ドレインドライ ハ(データドライハ)22に接続され、データ信号(ビ デオ(記号) が印加されるようになっている。これらのド ライハ21、22によって周辺駆動回路23が構成され ている。

【0012】そして、各ドライハ21、22のうち少な くともいずれか一方を画素部19と同一基板上に形成し たし(Dは、一般にドライハー体型 (ドライバ内蔵型) LCDと呼ばれている。荷、ゲートドライハ21が、画 非部19の両端に設けられている場合もある。また、ド レインドライバコ2が、画素部19の両側に設けられて いる場合もある。

【0013】 この周辺駆動回路23のスイッチング用素 子にも前記多結品シリコン TFT (A) と同等の製造方 法で作成した多結品シリコンTFTを用いており、多結 品シリコンTFT (A) の作製に並行して、同一基板上 に形成される。尚、この周辺駆動回路23用の多結品シ UCID TFTは、LDD構造ではなく、通常のシングル トレイン構造を採用している(もちらん、LDD構造で ホーでもよい)。

【0014】また、この周辺駆動河路23の多結品シリ .)1. TFTは、CMOS構造に対成することにより、各 - ・1ペは1、20)。てのではの確小化を実現してい ス。同13にケート配線 (inとドレイン配線 Dinとの直交 部分に設けられている画報とロの等価同路を示す。画春 B D は、画素駆動素子としてのTFT (前記薄膜トラン 」スタAと同様)、液晶セルL(、補助要値(Sから構 成される。ゲート配線(aにはTFTのゲートが接続さ れ、ドレデン配線InにはTFTのトレデンが接続され -- ア オニー、タロサーフ VICE、成別が11 Cで。

^{1 1} PE-4 1 「「」」、ファトサムたビニュ、サウトオールをER破

^{」。} かっい夕仏により、そのコンタケトボールを合むデ the state of the s

^{1、}有引為格本子等構成工作(二元标行等1.)。 極 表上距極の交対側の重極。には単世 Vionで印まさ Free growth Appropriate to the first of

人と接続される側の反対側の電極には定電上域が印加 されている。この域話セル」での実通で横は、文字通り でての両素20に対して実通した電極となっている。そ として、被話セル」での表示電極とは通電極との間には静 電容量が形成されている。前、補助序算にSにおいて、 下ドエのナースと接続される側の反対側の電極は、層の ケート配幅 Gettと接接されている場合もある。

【0016】このように構成された画本20において、 ケート配線の6を正復年にして下ドロケケートに正復日 を印加すると、Tドアカオンとなる。すると、ドレイン 施場の11日即はれたデータ信号で、数値セルしての静 定容量と補助容量でSとが充電される。反対に、ゲート 配線で6を負債日にして下ドロケートに負債圧を印加 すると、Tドアがオフとなり、その時点でドレイン配線 Daは印加されていた電圧が、数値セルしての静電容量 上地助容量でSとによって保持される。このように、画 ま20・4書とみないデータ信号をドレブ配線に与え てケート配線の選圧を制御することにより、画素20に 任意のデータ信号を保持させておくことができる。その 両ま20の保持しているデータ信号に応じて数晶セルし での透過率が変化し、画線が表示される。

[0047] ここで、画素20の特性として重要なものに、書き込み特性と信持物性とかある。書き込み特性に対して要求されるのは、画素部19の仕様から定められた単位の関制内に、信号審積表子・総結セルして及び補助ではでいてきるかどうかという成である。また、保持特性に対して要求されるのは、信号審積素子に一旦書きたんだビデオ信号電圧を必要な時間だけ保持することができるかとうかという点である。

【0048】補助容量(Sが設けられているのは、信号 蓄積事子の静電容量を増大させて基さら移性及び発持 核性を向上させるためである。内された、級品セル1.C は、その構造上、静電容量の増大には優野がある。そこ 、補助容量でによって級品セル1.Cの静電容量の 気を補うれてである。以上、大阪原生型により製造し た多額高。ロコ、T1Tにか、ては、それ中ス低型フロ セスマッうことができ、しかも、良質の多種品シリコン 収を能動解として使用している。

【0049】本連則者の決験によれば、ロチャネルのMのN型多結結シリコンTFTでの移動度よれが200cm2 いっぱし、ロチャネルのMのN型多結結シリコ、TFTでの移動度よりが150cm2 いっぷん

ing : 0. 2 V decade、 すン・すつ比: 1 \times 1 \circ 7 \circ 7 が特件を得ることがてきる。

【()(150】また、移動度が高いふん、TFTの駆動能 力が向上するので、TFTのサイスを小さくすることが てき、従来能動層として非品質シリコンを用いたトラン ミスタルボイス (W "L=34 10 gm) に比べて、 1 S以下のサイス (W T = S も a to) に縮小する ことができる。更には、高品質の能動層であるので、ト ランド スタ()F下時のリーク電流も少なく、そのぶん補 助容量の面積も1~3 以下に縮小することができる。 【0.05.1】 具体的には、サイズ2、 1 型で、画素ビッ 手:50,0 (H) μm×1500 (V) μm, 画素 数:23万ドット (320) 3 (KGB) / 240) と、従来型のパネルに比べて3倍以上の高密度画素を有 しながらも、55当という病開口を(従来比:1.5 (ii) いものを得ることがてき、高輝度化を実現できる。 以上の実施派地は以下のように変更してもよく、その場 台でも同様の作用、効果を得ることができる。

(2) の5.2 11 W 5 リナイド限2に代えて、非結晶質 シリコン製や多層品とリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドープされていて もよい。このように、導催性限又は下導体膜を用いることにより、この基映破膜に指圧を印刷することで、下下 アを、1.5 1 に用いられるMの5トランジスタのように 1 端戸デバイスとして動作させて、しきい値電圧をコントローリーを含とまに、カラス基板を用いた場合には、 基板内のイナンを静電的にシールドするため、ガラス基 板内のイナンを静電的にシールドするため、ガラス基 板内のイナンによるトランシスタの特性が化及び可動イ オンが形成する電位による下ド下・の悪影響を防止する ことができる。

【0 0 5 3】 2) W3 5 サイド戦2に代えて、Mo S i g, T i S i g, T a S i g, C o S i gなどの高融金金属 プリサイド、その他、W, Mo, C o, C r, T i, T a などの高融金金属受用にするよい。更には、使用温度 全低に場合には・対 i 5 0 に以下i、A i やA u などの i 4 は 2 低度 全 低く場合によった。 W りサイド戦も テムニー・アンル 今に関係は、かを動きた、性質を存ってしていて、以下の金属関係。

【100.4】 コー元の報覧を訪出するとはに該値と事に 並必から入るうとする下要などを進るので、LCDデバイスとしてロシトラストが紹子なる。

も) TFTによるうとする丸を纏るさで、先によるり一つ他点を減っ合せてTFTをしてきぬれる向上させると 州に方によってTTT自身が有件を集しまる。

⁻ 成月可能ですし、カッコの D. E. V・5、20 - 10、m² V・5、しない保証とコスV n 手で^文

が、結晶成長を短時間で終えることができる。

【0 0 5 6】 4)工程イにおいて、非品質シリコン製工 なを観ECVD法、プラズマCVD基によらず、第正C VD生、光励起CVD法、遂音法、E B(E) ectron Bea mi 差音法、MB E (Molecular Beam Epitaxy) 法、スパッ タ上からなるグループの内のいずれか、つの方法によっ て形成する。

- 5) 多結品シリコン膜オのチャネル領域に相当する部分 に不難物をドービングして多結品・リコンTドTのしき し面電圧(Vith)を制御する。個相成及法で比成した多 結品シリコンTドTにおいては、Nチャネリトランジス クではディブレッションが向にしきし確定ルかシット
- し、Pチャネルトランジスタではエンハンスメントが向 にしきい値電圧がシフトする傾向にある。また、水素化 処理を行った場合には、その傾向がより顕著となる。こ のしきい値電圧のシフトを抑えるには、チャネル値域に 不顕称をドーヒングでははより。

【0057】6) 前記工程5に代えて以下の工程を行

- う。 1限5 a : 電気切により、窒差(Ng) 雰囲気中、温度 6 0 0 C程度で約 2 0時間の終処理を行うことにより、 前記非品質シリコン膜 4 なと固相成長させて多結品シリ コ : 殿 4 を形成する。
- 7) 工程5 まで形成したこの多結品シリコン膜4は、膜 を構成する結晶に転放等の欠縮が多く存在するととも に、結晶間に非晶質部分が残っている可能性があり、リ ーク性治が多くなるが相がある。

【0.0.5.8】そこで、『程5点の後、基板』をRTA法 又は1一ザーアニーリ法により急速加熱し、多結晶シリコン膜2の腱質を改善する。

- 8) 工程1や工程7 において、スパッタ法以外のPVD 方法「賃空蒸発法、イナンドーティング法、イナンビームデポジション法、クラスターイナンビーム法など) を用いて、Wシロサイド鉄2、6 トを形成する。この場 合にも、前記したスペック法の場合は同様な質由によ
- り、Wシリサイド (W S hy) で組成をX > 2 に設定す

る。 【0059】9: 選目や工程)において、CVD基を 同してWシリサイド限度。6 b を主成する。そのチース カスとしては、パファ化タングステン(WF6)とシランコS(Hp を用いればよい。成級推復は、350~ 150年前後とする。この場合にも、前記したスパッタ まの場合と同様な理由により、Wシリサイド(WS 「※)の母をキンニと紹介せる。CVDがはセアロリ 中導体素子主般に適用する。また、太陽電池や先センサ などの光電変換素子、パイポーラトランジスタ、静電透 専門トランジスタ(S I T: Static Induction Transist の)などル多結品シリコ上数を用いるあらゆる半導体装 際に適用する。

[0061]

【発明の効果】は発明に基っては、整処理にRTA法を 用いた場合における基板の反りや破損を防止することが できる。

【図面の簡単な説明】

【図1】 4発明を具体化した一実施例の製造工程を説明 するための断面図である。

【民2】 4発明を具体化した一実施例の製造工程を説明 するための断面付てある。

[[日3] 本発明を具体化した「実施例の製造工程を説明 するための断面図である。

【四十】 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図5】 4発明を具体化した一実施例の製造工程を説明 コストムの販売図である。

するための断面図である。 【図 6】 本発明を具体化した一実施例の製造工程を説明

するための断面図である。 【図7】本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【[N 8] 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図9】 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図 1 0 】 本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図11】LCDの画本部の製造方法を説明するための 概略断面図である。

【図12】アクティブマトリクス方式LCDのブロック 構成図である。

【日13】画奉の等価回路図である。

【[3] 1】 エキノドレーザーアニール装置の構成図である。

【ヨトコ】RTA装置い構成図である。

【(オ1ヵ】従末例の製造で程を説明するための断面図である。

【[4] 7】従来例の製造工程を説明するための断面図である。

[45号小歌明]

1 場合意見機

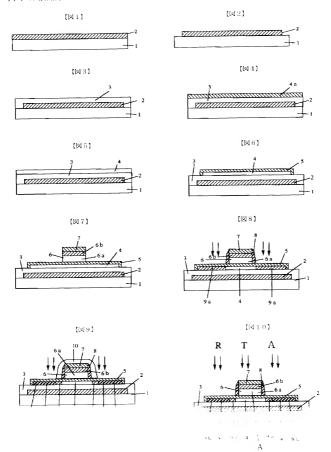
^{・。} 元、三々り覧、図スプリ的なとまこくる構定の多料的シ 可つ、TFTに適用する。

THE REST OF SECURITION OF SERVICE SERVICES.

^{1.1(}数)。 与党建议

a rate entitle

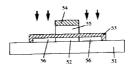
A TFT (半導体素子)



[図12] [[11] % Gn+1 [N14] [図13] [図15] [図16] 107

108

[図17]



フロントページの続き

(72)発明者 森本 佳宏

大阪府守口市京阪本道2丁目5番5号 三 洋電機株式会社内 (72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 : 洋電機株式会社内